

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-319593

(43)Date of publication of application : 31.10.2002

(51)Int.Cl.

H01L 21/338

H01L 21/28

H01L 29/812

(21)Application number : 2001-121730

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 19.04.2001

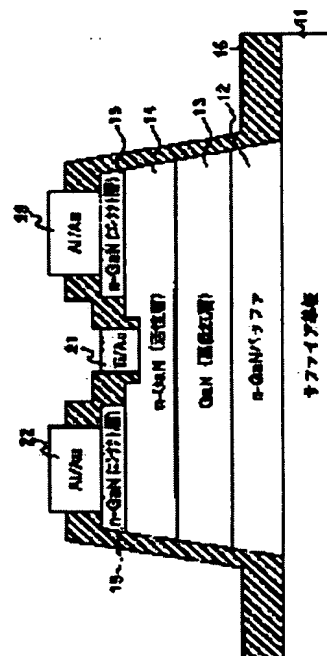
(72)Inventor : YOSHIDA KIYOTERU

(54) SEMICONDUCTOR DEVICE AND METHOD FOR FORMING ELECTRODE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having an electrode of such a structure as the problem of unnecessary alloying due to heat treatment in the fabrication process of the semiconductor device is avoided, and a method for forming the electrode.

SOLUTION: Electrodes 22 and 23 making electrical connection with a semiconductor layer (n-type GaN layer 15) are formed in the order of aluminum and gold such that the ratio of thickness between aluminum and gold becomes 3:1 or the ratio of aluminum becomes 3 or above.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

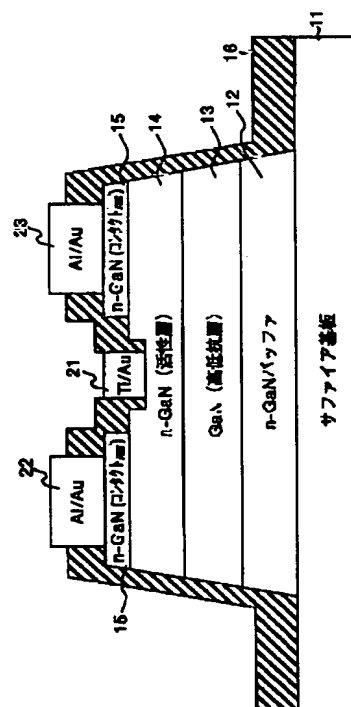
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Available Copy



【特許請求の範囲】

【請求項1】 半導体層との電気的接続を果たす電極が、前記半導体層上にアルミニウム、金の順に積層されるとともに前記アルミニウムと金の厚さの比が3:1またはアルミニウムの比を3以上とした構造で形成されたことを特徴とする半導体デバイス。

【請求項2】 前記電極は、前記アルミニウムと前記金との間に、Sr、Sc、Fe、CrまたはZnを設けて形成されたことを特徴とする請求項1に記載の半導体デバイス。

【請求項3】 前記電極は、前記アルミニウムと前記金との間に、Sr、Sc、Fe、CrまたはZnの金属のうちの任意の複数の金属の積層構造または合金を設けて形成されたことを特徴とする請求項1に記載の半導体デバイス。

【請求項4】 前記アルミニウムに換えて、Siと合金化したシリサイド系合金を用いたことを特徴とする請求項2または3に記載の半導体デバイス。

【請求項5】 前記半導体層は、III-V族窒化物であることを特徴とする請求項1〜4のいずれか一つに記載の半導体デバイス。

【請求項6】 半導体層との電気的接続を果たす電極を形成する半導体デバイスの電極形成方法において、前記半導体層上に第1の厚みのアルミニウムを積層するステップと、前記アルミニウムの上に、前記第1の厚みの1/3以下である第2の厚みの金を積層するステップと、を含んだことを特徴とする電極形成方法。

【請求項7】 半導体層との電気的接続を果たす電極を形成する半導体デバイスの電極形成方法において、前記半導体層上に第1の厚みのアルミニウムを積層するステップと、前記アルミニウムの上に、Sr、Sc、Fe、CrまたはZnの金属を積層するステップと、前記金属の上に、前記第1の厚みの1/3以下である第2の厚みの金を積層するステップと、を含んだことを特徴とする電極形成方法。

【請求項8】 半導体層との電気的接続を果たす電極を形成する半導体デバイスの電極形成方法において、前記半導体層上に第1の厚みのアルミニウムを積層するステップと、前記アルミニウムの上に、Sr、Sc、Fe、CrまたはZnの金属のうちの任意の複数の金属の積層構造または合金を積層するステップと、前記積層構造または合金の上に、前記第1の厚みの1/3以下である第2の厚みの金を積層するステップと、を含んだことを特徴とする電極形成方法。

【請求項9】 前記アルミニウムに換えて、Siと合金化したシリサイド系合金を用いたことを特徴とする請求項7または8に記載の電極形成方法。

【請求項10】 前記半導体層は、III-V族窒化物であることを特徴とする請求項6〜9のいずれか一つに記載の電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体層との電気的接続を果たす電極の構成に特徴を有する半導体デバイスと電極形成方法に関し、特にワイドバンドギャップ半導体を用いた半導体デバイスとその電極形成方法に関する。

【0002】

【従来の技術】近年、高耐圧、高周波動作および高温動作などの優れた性能指数を有した電子デバイスとして、GaNなどのワイドバンドギャップ半導体が注目されている。特に、アプリケーションとして、GaNを用いた電界効果型トランジスタ（以下、GaN-FETと称する。）の開発が進められている。以下に、従来のGaN-FET作成工程について説明する。

【0003】まず、有機金属化学気相成長法（MOCVD）またはガスソース分子線エピタキシャル成長法（GSMBE）を用いて、サファイア基板の上に、GaNバッファ層を形成する。そして、そのGaNバッファ層上にアンドープのGaNを2μmほど成長させてGaN層を形成し、さらにその上にSiをドーパントとして、活性層となるn型GaN層を厚み2000Åで形成する。

【0004】つぎに、GaNバッファ層、GaN層およびn型GaN層から構成されるGaNエピタキシャル膜の表面に対し、プラズマCVD装置を用いて、パターニングのための保護膜となるSiO₂等を堆積させ、その後、フォトレジストおよび化学エッチングを施すことで電極形成のためのパターニングをおこなう。そして、TiまたはAl等の金属を蒸着してソース電極およびドレイン電極を形成し、Pt、Au、Pd等の金属を蒸着してゲート電極を形成する。以上の工程によって、GaN-FETが形成される。

【0005】

【発明が解決しようとする課題】しかしながら、上述したGaN-FETのようなワイドバンドギャップ半導体を用いた電子デバイスは、小電流動作として設計されており、複数の電界効果トランジスタによって構成される大電流動作の電子デバイスのように、多層配線を用いて電界効果トランジスタ間の電極同士を接続することは考えられていなかった。

【0006】元来、オーミック電極に用いる材料として、Alのみであると酸化されやすいことからその上にTiを積層し、Tiは高温動作時に酸化してしまうことから、さらにその上にAuを積層したAl/Ti/Au構造を用いていた。ところが、AlとTiが熱処理プロセスにおいて合金化し、Al/Ti/Au構造の表面に凹凸が生じてしまう問題が生じた。

【0007】そのため、電極材の上に絶縁膜を形成し、さらにその上に電極配線を形成していく多層配線構造では、途中の膜作成プロセスにおいて加熱処理が施されるため、上記した合金化による表面の凹凸が、電極材の上に積層した SiO_2 等の絶縁膜にも現われ、絶縁膜と電極が反応して同一の電界効果トランジスタの電極同士（ソースまたはドレインとゲート）がつながってしまったり、下層の電極と上層の電極配線とが短絡して絶縁不良になってしまう問題が生じた。

【0008】なお、ワイドバンドギャップ半導体に限らず、GaAsやSiを用いた電子デバイスにおいても、電極材としてAl/Tiを用いた多層配線構造で形成される場合には、上記同様の問題点を有する。

【0009】本発明は上記に鑑みてなされたものであって、半導体デバイスの作成工程での熱処理による不要な合金化等の問題を回避した構造の電極を備えた半導体デバイスとその電極作成方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、請求項1にかかる発明は、半導体層との電気的接続を果たす電極が、前記半導体層上にアルミニウム、金の順に積層されるとともに前記アルミニウムと金の厚さの比が3：1またはアルミニウムの比を3以上とした構造で形成されたことを特徴とする。

【0011】この発明によれば、AlとAuを接触させた積層構造で電極が形成されるので、両金属間での400℃以下の温度で反応しにくいという特性により、熱処理時に電極が合金化されてしまうのを回避することができる。

【0012】また、請求項2にかかる発明は、請求項1に記載の半導体デバイスにおいて、前記電極が、前記アルミニウムと前記金との間に、Sr、Sc、Fe、CrまたはZnを設けて形成されたことを特徴とする。

【0013】この発明によれば、AlとAuとの中間層としてSr、Sc、Fe、CrまたはZnが介在するので、AlとAuの相互拡散が防止される。

【0014】また、請求項3にかかる発明は、請求項1に記載の半導体デバイスにおいて、前記電極が、前記アルミニウムと前記金との間に、Sr、Sc、Fe、CrまたはZnの金属のうちの任意の複数の金属の積層構造または合金を設けて形成されたことを特徴とする。

【0015】この発明によれば、AlとAuとの中間層として、Sr、Sc、Fe、CrまたはZnの積層構造または合金を介在させることによっても、AlとAuの相互拡散が防止される。

【0016】また、請求項4にかかる発明は、請求項2または3に記載の半導体デバイスにおいて、前記アルミニウムに換えて、Siと合金化したシリサイド系合金を用いたことを特徴とする。

【0017】この発明によれば、Siと合金化したシリサイド系合金、Sr、Sc、Fe、CrまたはZnの金属、Auを順に積層した構造で電極が形成されるので、これら金属間が比較的高温な環境でも反応しにくいという特性により、熱処理時に電極が合金化されてしまうのを回避することができる。

【0018】また、請求項5にかかる発明は、請求項1～4のいずれかに記載の半導体デバイスにおいて、前記半導体層が、III-V属窒化物であることを特徴とする。

【0019】この発明によれば、GaN等のワイドバンドギャップ半導体を用いた半導体デバイスの電極についても、高温処理時の合金化の問題を回避することができる。

【0020】また、請求項6にかかる発明は、半導体層との電気的接続を果たす電極を形成する半導体デバイスの電極形成方法において、前記半導体層上に第1の厚みのアルミニウムを積層するステップと、前記アルミニウムの上に、前記第1の厚みの1/3以下である第2の厚みの金を積層するステップと、を含んだことを特徴とする。

【0021】この発明によれば、半導体層上に、Alを積層した後にそのAlと接触するAuを積層して電極を構成するので、両金属間での400℃以下の温度で反応しにくいという特性により、熱処理時に電極が合金化されてしまうのを回避することができる。

【0022】また、請求項7にかかる発明は、半導体層との電気的接続を果たす電極を形成する半導体デバイスの電極形成方法において、前記半導体層上に第1の厚みのアルミニウムを積層するステップと、前記アルミニウムの上に、Sr、Sc、Fe、CrまたはZnの金属を積層するステップと、前記金属の上に、前記第1の厚みの1/3以下である第2の厚みの金を積層するステップと、を含んだことを特徴とする。

【0023】この発明によれば、半導体層上にAlを積層した後に、Sr、Sc、Fe、CrまたはZnの金属を積層し、さらにその金属上にAuを積層して電極を構成するので、AlとAuとの接触による相互拡散が防止される。

【0024】また、請求項8にかかる発明は、半導体層との電気的接続を果たす電極を形成する半導体デバイスの電極形成方法において、前記半導体層上に第1の厚みのアルミニウムを積層するステップと、前記アルミニウムの上に、Sr、Sc、Fe、CrまたはZnの金属のうちの任意の複数の金属の積層構造または合金を積層するステップと、前記積層構造または合金の上に、前記第1の厚みの1/3以下である第2の厚みの金を積層するステップと、を含んだことを特徴とする。

【0025】この発明によれば、AlとAuとの中間層として、Sr、Sc、Fe、CrまたはZnの積層構造または合金を積層させることによっても、AlとAuの

相互拡散が防止される。

【0026】また、請求項9にかかる発明は、請求項7または8に記載の電極形成方法において、前記アルミニウムに換えて、Siと合金化したシリサイド系合金を用いたことを特徴とする。

【0027】この発明によれば、Siと合金化したシリサイド系合金、Sr、Sc、Fe、CrまたはZnの金属、Auを順に積層して電極を形成するので、これら金属間が比較的高温な環境でも反応しにくいという特性により、熱処理時に電極が合金化されてしまうのを回避することができる。

【0028】また、請求項10にかかる発明は、請求項6～9のいずれか一つに記載の電極形成方法において、前記半導体層が、III-V族窒化物であることを特徴とする。

【0029】この発明によれば、GaN等のワイドバンドギャップ半導体を用いた半導体デバイスの電極を形成する場合において、高温処理時の合金化の問題を回避することができる電極を形成することができる。

【0030】

【発明の実施の形態】以下に、本発明にかかる半導体デバイスおよび電極形成方法の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0031】（実施の形態1）まず、実施の形態1にかかる半導体デバイスおよびその半導体デバイスの電極形成方法について説明する。図1は、実施の形態1にかかる半導体デバイスの断面図である。特に、図1に示す半導体デバイスは、GaNを活性層とした電界効果型トランジスタを示している。図1に示すように、実施の形態1にかかる半導体デバイス（以下、GaN電界効果型トランジスタと称する。）は、サファイア基板11上に、バッファ層となるn型GaNバッファ層12、高抵抗層となるGaN層13、活性層となるn型GaN層14、コンタクト層となるn型GaN層15を順に積層した積層構造によって形成される。また、このGaN電界効果型トランジスタは、活性層上であってかつ両コンタクト層を挟んだ位置にTi（チタン）とAu（金）の積層構造のゲート電極が形成されている。

【0032】ここで、特に、実施の形態1にかかるGaN電界効果型トランジスタは、ソース電極22およびドレイン電極23を、二つに分離されたコンタクト層上にそれぞれAl（アルミニウム）とAu（金）の積層構造で形成していることを特徴としている。

【0033】以下に、図1に示したGaN電界効果型トランジスタの作成手順について説明する。図2は、実施の形態1にかかるGaN電界効果型トランジスタの作成手順を示すフローチャートである。また、図3は、図2に示すフローチャートにしたがって作成されるGaN電界効果型トランジスタを説明するための断面図である。

なお、ここでは、成膜方法としてGSMBE法を用いて、GSMBE装置として、成長室とパターニング室を有する超高真空装置を用いることとする。

【0034】まず、サファイア基板、SiCまたはシリコン基板等の結晶基板を成長室のサセプタ上に設置する。なお、ここでは、結晶基板としてサファイア基板を用いることとする。そして、この状態において、サファイア基板11の温度を640℃に維持し、n型GaNバッファ層の形成を開始する（ステップS101）。

【0035】このn型GaNバッファ層12は、蒸気圧 3×10^{-6} Torrのラジカル化した N_2 と、蒸気圧 5×10^{-7} TorrのGaと、蒸気圧 5×10^{-9} TorrのSiの各分子線を用いて、上記したサファイア基板11上に、50nmの厚さのn-GaNバッファ層として得られる（図3（a））。

【0036】つづいて、基板温度を850℃に維持し、高抵抗層となるアンドープのGaN層を形成する（ステップS102）。このアンドープのGaN層13は、蒸気圧 5×10^{-5} Torrの NH_3 と、蒸気圧 1×10^{-6} TorrのGaの各分子線を用いて、上記したGaNバッファ層12上に、厚み1000nmのGaN層として得られる（図3（b））。

【0037】そしてその上に、活性層となるn型GaN層14を形成する（ステップS103）。このn型GaN層14は、蒸気圧 5×10^{-5} Torrの NH_3 と蒸気圧 1×10^{-7} TorrのGaと、蒸気圧 1×10^{-9} のSiとの分子線を用いて、上記したアンドープのGaN層13上に、Siがドーピングされた厚み200nmのGaN層として得られる（図3（c））。なお、n型GaN層14のキャリア濃度は、あらかじめホール測定等を用いて $1 \times 10^{17} \text{ cm}^{-3}$ となるように設定した。

【0038】さらに、このn型GaN層14の上に、コンタクト層となるn型GaN層15を形成する（ステップS104）。このn型GaN層15は、上記n型GaN層14の形成条件においてSiのドーピングの量を蒸気圧 5×10^{-8} Torrまで増やした厚み50nmのGaN層として得られる（図3（d））。なお、このときのSiのキャリア濃度は $1 \times 10^{19} \text{ cm}^{-3}$ となるように設定した。

【0039】つぎに、電極形成プロセスについて説明する。まず、上記したバッファ層、高抵抗層、活性層およびコンタクト層によって構成されるGaNエピタキシャル積層膜をパターニング室に移動させ、その表面に、 SiO_2 等の保護膜16を例えばプラズマCVD装置を用いて400℃の温度で被覆する（ステップS105、図3（e））。なお、 SiO_2 の膜厚は、ここでは0.5 μm ～0.7 μm とした。保護膜16の被膜後、フォトリソグラフィによってパターニングをおこない、電極となる部分にフッ酸（フッ化水素酸：HF）を用いて、開口部を設ける。

【0040】そして、オーミック電極となるAlを、真空蒸着装置を用いて順次蒸着していく。まず、ソース電極22およびドレイン電極23に相当する開口部に、Al、Auの順に蒸着をおこなう。特にここで、これら電極材の構成は、AlとAuの厚みの比を3:1またはAlの比を3以上とするのが好ましいことが本発明者によって見出された。例えば、150nmのAlを蒸着し、つづいて30~50nmのAuを蒸着することで、ソース電極22およびドレイン電極23を形成する。そして、ゲート電極に相当する開口部に、Pt（白金）、Auの順に蒸着をおこなうことで、ゲート電極を形成する（ステップS106、図3（f））。

【0041】このようにして作成した電極を用いて、GaNエピタキシャル積層膜と各電極との接触抵抗を測定したところ、 $1 \times 10^{-7} \Omega \text{m}^2$ と十分に低い接触抵抗であることが確認された。

【0042】以上に説明したとおり、実施の形態1にかかる半導体デバイスおよび電極形成方法によれば、従来、Al/Ti/Au構造であった電極部を、Alの厚みが70%以上となるAl/Au構造にすることで、熱処理による合金化の問題を回避することができるとともに、抵抗の小さい電極を実現することができ、GaNを用いた高性能の電子および光デバイスを形成することが可能になる。

【0043】（実施の形態2）つぎに、実施の形態2にかかる半導体デバイスについて説明する。実施の形態2にかかる半導体デバイスは、実施の形態1にかかるGaN電界効果型トランジスタをアレイ状に配置することで大電流動作の電子デバイスの形成を容易にしたことを特徴としている。

【0044】図4は、実施の形態2にかかる半導体デバイスのレイアウト上面図である。なお、図4において、図1と共通する部分には同一符号を付してその説明を省略する。また、図5は、図4に示した半導体デバイスの等価回路である。図5に示す等価回路をみてもわかるように、特に、図4に示す半導体デバイスでは、複数のGaN電界効果型トランジスタが、ソース電極同士、ドレイン電極同士、ゲート電極同士をそれぞれ直線状の配線で接続するように配置している。

【0045】図4では、配線ライン41が、各GaN電界効果型トランジスタの開口部31を介して下層のゲート電極と接続されている。同様に、配線ライン42が、各GaN電界効果型トランジスタの開口部32を介して下層のソース電極と接続され、配線ライン43が、各GaN電界効果型トランジスタの開口部33を介して下層のドレイン電極と接続されている。

【0046】図6は、図4に示したレイアウト上面図の断面図である。特に、図6（a）は、図4中のA-A'線の断面図であり、配線ライン42の形成状態を示すものである。また、図6（b）は、図4中のB-B'線の

断面図であり、配線ライン41の形成状態を示すものであり、図6（c）は、図4中のC-C'線の断面図であり、配線ライン43の形成状態を示すものである。なお、図6において、図1および図4と共通する部分には同一の符号を付してその説明を省略する。

【0047】特に、本発明者によって、図4に示したように構成のGaNを用いた電子デバイスにおいて、10A以上の電流を流すことができたことが見出された。

【0048】以上に説明したとおり、実施の形態2にかかる電子デバイスによれば、GaNを用いた電界効果型トランジスタをアレイ状に配置することによっても、大電流動作の電子デバイスを構成することができる。

【0049】なお、以上に説明した実施の形態1および2においては、成膜方法としてGSMBE法を用いた場合を説明したが、MOCVD法を用いてもよい。この場合、GaN膜形成には、窒素源としてジメチルヒドラジン、モノメチルヒドラジン、アンモニアを用い、Ga源としては、トリエチルガリウム、トリメチルガリウムなどの有機金属ガスを用いることができる。また、n型ドーパントとしてモノシランを用いることができる。

【0050】また、上述したコンタクト層として、SiをドーパしたGaNに替えて、Si等をドーパしたInGaAs、InGaP、InGaAs、InGaNpを用いてもよい。さらに、コンタクト層となるGaNの最表面にIn系半導体の他GeまたはSi等の半導体を10nm以下の厚さで形成してもよい。

【0051】また、活性層となるn型GaNに替えて、InGaAs/GaN、GaAs/GaN、InAs/GaN、InGaNp/GaN等の多元系のIII-V属窒化物の多層構造を用いることもできる。

【0052】また、ソース電極およびドレイン電極を構成するAl/Auに替えて、そのAlとAuの中間層として、Sr、Sc、Fe、Cr、Zr等の金属をも厚さ10nm~20nm程度で形成した構造を用いることもできる。特に、Scを含むこれら金属を複数組み合わせてもよく、その形態は合金でも積層構造でもよい。このような中間層を設けることにより、AlとAuの相互拡散を抑制することが可能になる。

【0053】さらに、ソース電極およびドレイン電極を構成するAl/Auに替えて、Ta、W、Al、Cr等のシリサイド合金上にSr、Sc、Fe、Cr、Zr等の金属を中間層として設け、さらにその上に保護膜としてのAuを形成した構造を用いてもよい。

【0054】なお、以上に説明した電極形成については、GaNのようなIII-V属窒化物の半導体だけでなく、SiやGaAs等のその他の半導体を用いた半導体デバイスの電極作成に適用することができることはいうまでもない。

【0055】

【発明の効果】以上に説明したように請求項1および6

にかかる発明によれば、AlとAuを接触させた積層構造で電極が形成されるので、両金属間での400℃以下の温度で反応しにくいという特性により、熱処理時に電極が合金化されてしまうのを回避することができ、さらにAuはAlがその上に被覆されるSiO₂と反応するのを抑える働きがあることから、電極同士または電極と他の配線とが接触して半導体デバイスが不良になってしまうのを防ぐことができるという効果を奏する。

【0056】また、請求項2および7にかかる発明によれば、AlとAuとの中間層としてSr、Sc、Fe、CrまたはZnが介在するので、AlとAuの相互拡散が防止され、良質な電極を得ることができるという効果を奏する。

【0057】また、請求項3および8にかかる発明によれば、AlとAuとの中間層として、Sr、Sc、Fe、CrまたはZnの積層構造または合金を介在させることによって、AlとAuの相互拡散が防止され、良質な電極を得ることができるという効果を奏する。

【0058】また、請求項4および9にかかる発明によれば、Siと合金化したシリサイド系合金、Sr、Sc、Fe、CrまたはZnの金属、Auを順に積層した構造で電極が形成されるので、これら金属間が比較的高温な環境でも反応しにくいという特性により、熱処理時に電極が合金化されてしまうのを回避することができ、電極同士または電極と他の配線とが接触して半導体デバイスが不良になってしまうのを防ぐことができるという効果を奏する。

【0059】また、請求項5および10にかかる発明によれば、GaN等のワイドバンドギャップ半導体を用い

た半導体デバイスの電極についても、高温処理時の合金化の問題を回避することができ、GaN等のIII-V属窒化物を用いた高性能の電子および光デバイスを形成することが可能になるという効果を奏する。

【図面の簡単な説明】

【図1】実施の形態1にかかる半導体デバイスの断面図である。

【図2】実施の形態1にかかるGaN電界効果型トランジスタの作成手順を示すフローチャートである。

【図3】実施の形態1にかかるGaN電界効果型トランジスタの作成工程を説明するための断面図である。

【図4】実施の形態2にかかる半導体デバイスのレイアウト上面図である。

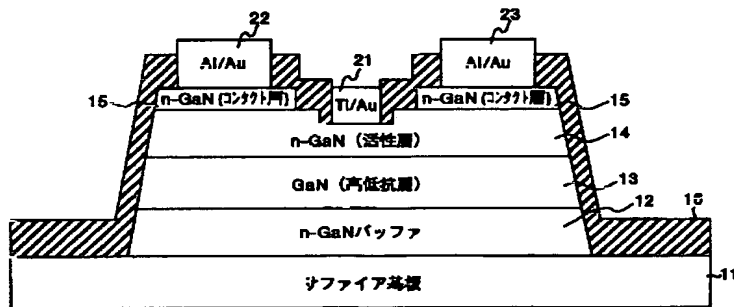
【図5】実施の形態2にかかる半導体デバイスの等価回路である。

【図6】実施の形態2にかかる半導体デバイスの断面図である。

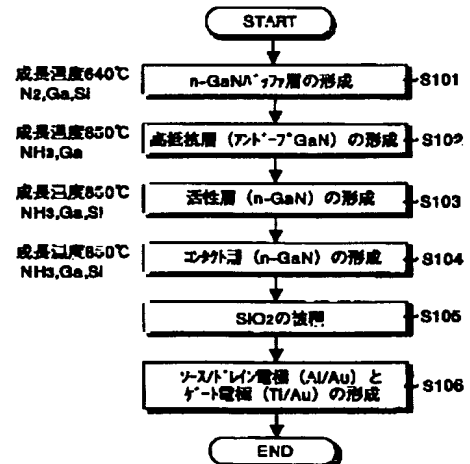
【符号の説明】

- 11 サファイア基板
- 12 バッファ層
- 13 高抵抗層
- 14 活性層
- 15 コンタクト層
- 16 保護膜
- 22 ソース電極
- 23 ドレイン電極
- 31, 32, 33 開口部
- 41, 42, 43 配線ライン

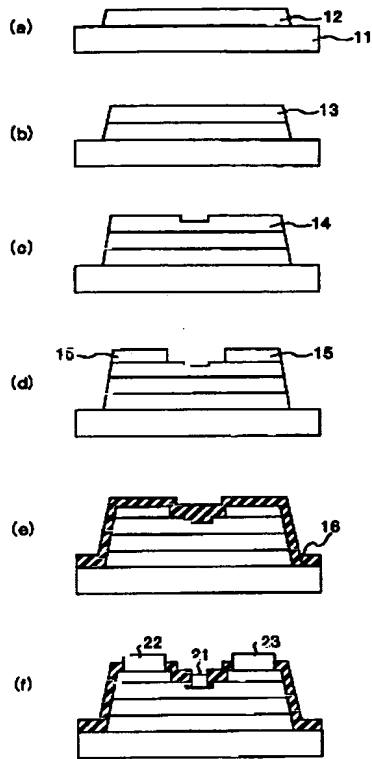
【図1】



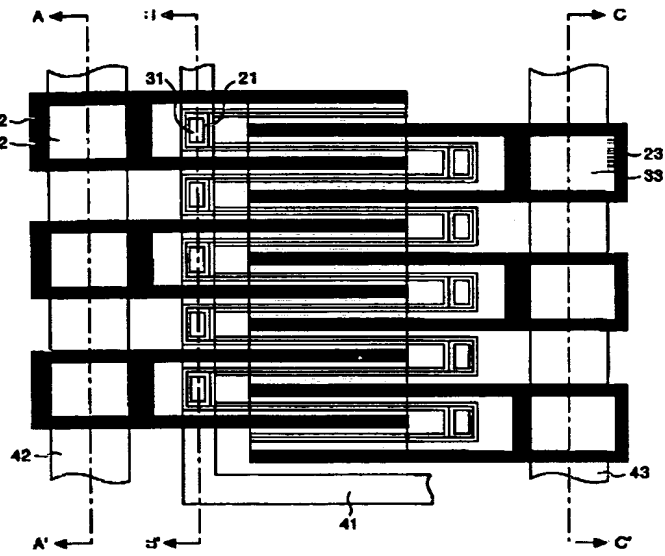
【図2】



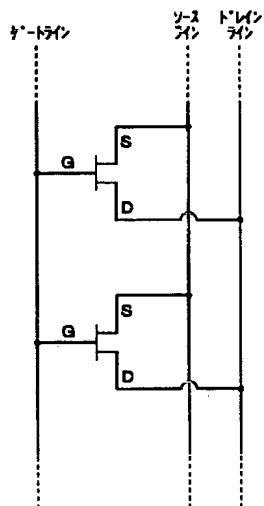
【図3】



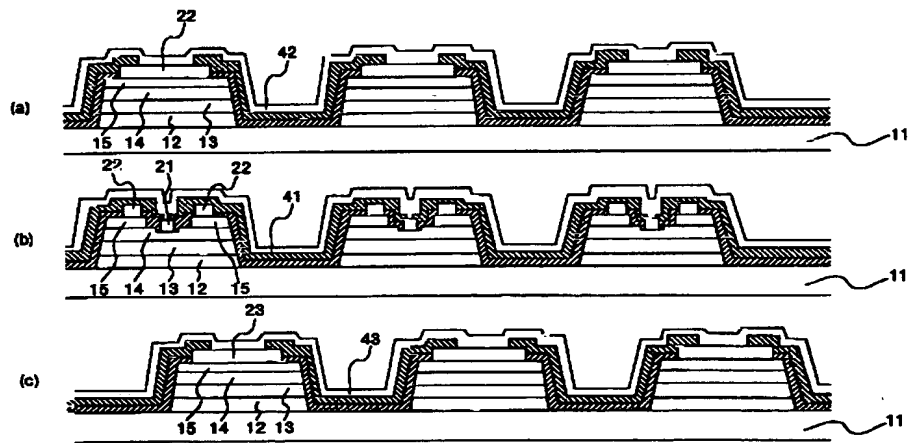
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 4M104 AA04 AA07 AA09 BB02 BB03
BB04 BB06 BB13 BB14 BB24
BB27 BB28 BB36 CC01 DD09
DD16 DD34 EE09 EE16 FF13
GG12 GG18 HH05 HH12
5F102 FA02 GA01 GB01 GC01 GD01
GJ10 GK04 GL04 GL08 GM04
GN04 GR04 GS01 GS07 GS09
GT02 GT03 GT10 GV07 HC01
HC15